

PAT-NO: JP404069939A
DOCUMENT-IDENTIFIER: JP 04069939 A
TITLE: FIELD EFFECT TRANSISTOR OF
INSULATION GATE TYPE
PUBN-DATE: March 5, 1992

INVENTOR- INFORMATION:
NAME
ARASE, KENSHIROU

ASSIGNEE- INFORMATION:
NAME COUNTRY
SONY CORP N/A

APPL-NO: JP02181651

APPL-DATE: July 11, 1990

INT-CL (IPC): H01L021/336, H01L027/06 , H01L029/784

US-CL-CURRENT: 438/564

ABSTRACT:

PURPOSE: To improve hot electron resistance by providing a P-N junction between the drain diffusion region and the drain electrode of a MOS FET, and by lowering the voltage applied to the drain diffusion region.

CONSTITUTION: On the surface of a P-type semiconductor substrate 11, a source diffusion region 12 and a drain diffusion region 13, in both of which N-type impurities are highly doped are provided. Further, on a gate oxide film 14, a gate electrode 15 is provided, and in a contact hole for the source, an

N-type source polysilicon plug 16a doped with an impurity of the same type conductivity as the source diffusion region is provided. In a contact hole for the drain, a P-type drain polysilicon plug 17a doped with an impurity of the opposite type conductivity is provided. This P-type drain polysilicon plug 17a forms a PN junction together with the drain diffusion region 13. Therefore, the voltage applied to the drain diffusion region 13 comes lower than that supplied to an Al film 18 for wiring.

COPYRIGHT: (C)1992,JPO&Japio

⑪ 公開特許公報 (A)

平4-69939

⑫ Int. Cl. 5

H 01 L 21/336
27/06
29/784

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月5日

8422-4M H 01 L 29/78 301 P
7735-4M 27/06 311 B

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 絶縁ゲート型電界効果トランジスタ

⑮ 特願 平2-181651

⑯ 出願 平2(1990)7月11日

⑰ 発明者 荒瀬謙士朗 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑱ 出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑲ 代理人 弁理士 高橋光男

明細書

た絶縁ゲート型電界効果トランジスタに関する

1. 発明の名称

絶縁ゲート型電界効果トランジスタ

2. 特許請求の範囲

ソース拡散領域およびドレイン拡散領域上のコンタクトホール内に、ポリシリコンプラグを有する絶縁ゲート型電界効果トランジスタにおいて、ソース側ポリシリコンプラグには前記ソース拡散領域と同一導電型の不純物をドーピングし、ドレイン側ポリシリコンプラグには前記ドレイン拡散領域と反対導電型の不純物をドーピングすることによって、前記ドレイン拡散領域と前記ドレイン側ポリシリコンプラグの間にPN接合を形成した絶縁ゲート型電界効果トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、ホットエレクトロンの耐性を向上し

〔発明の概要〕

本発明は、ソースおよびドレイン電極にポリシリコンプラグを有する絶縁ゲート型電界効果トランジスタ（以下MOSFETという）において、ドレイン側のポリシリコンプラグをドレイン拡散領域の導電型と異ならしめることによってPN接合を形成して、ホットエレクトロン耐性を向上したMOSFETである。ドレイン側の電極にPN接合を介在させているので、ドレイン拡散領域にかかる電圧が低下するのでホットエレクトロン耐性が向上する。

〔従来の技術〕

MOSFETの微細化とともに、ホットエレクトロンによるMOSFETの信頼性が深刻な問題となってきた。このホットエレクトロン耐性の高いMOSデバイス構造として、いわゆるLDD (Lightly Doped Drain) 構造のものがある。第4

図に示すように、例えばNチャンネルMOSFETにおいて、半導体基板1の表面に、高濃度N型不純物のソース拡散領域2およびドレイン拡散領域3を有し、チャンネル領域には、ゲート酸化膜4上に、ゲート電極5を有している。ソースおよびドレインの電極には、高濃度のN型不純物をドープしたポリシリコンを埋め込んだ、ソースポリシリコンプラグ6およびドレインポリシリコンプラグ7を用いている。このプラグは、タンゲステン等の耐熱性金属を用いてもよい。このプラグの上に配線のためのAl膜8を設けている。このMOS構造における特長は、ドレイン拡散領域からゲートにオーバラップして、ドレイン拡散領域と同一導電型の低濃度不純物領域3aを設けている。この低濃度不純物領域によって、ドレイン近傍の電界強度を弱くして、ホットエレクトロン耐性を向上させている。また、LDD構造のMOSFETの低濃度不純物領域上のゲート酸化膜上に、スペーサとして窒化シリコン膜9を付加した構造のMOSFETが提

案されていた(89年4月第36回応用物理学関係連合講演会講演予稿集第2分冊707頁上)。

〔発明が解決しようとする課題〕

近年、MOSFETの集積度をさらに高めるために、短チャンネル化を必要とし、併せてゲート酸化膜厚を極限まで薄くする工夫がなされていたが、サブミクロンのチャンネル長のMOSFETのドレイン電圧を5Vで動作させるとき、このホットエレクトロンによる不安定性を除くことはかなり困難であった。

〔課題を解決するための手段〕

本発明は、前記課題を解決するために、MOSFETのドレイン拡散領域とドレイン電極の間にPN接合を介在させ、ドレイン拡散領域に印加される電圧を低下させることによって、ホットエレクトロン耐性を向上させようとするものである。

〔作用〕

ドレイン拡散領域上のコンタクトホール内に、ポリシリコンを埋め込む、いわゆるポリシリコンプラグにドレイン拡散領域の導電型と反対導電型の不純物をドープしてPN接合を形成すれば、ドレイン拡散領域にかかる電圧は、ドレイン電極に印加される電圧よりも低い電圧になるので、ホットエレクトロン耐性を向上することが出来る。

〔実施例〕

まず、第1図の本発明のMOSFETの断面図を用いて説明する。

P型の半導体基板11の表面に、高濃度N型不純物を注入したソース拡散領域12およびドレイン拡散領域13、さらにゲート酸化膜14の上にゲート電極15、ソースのコンタクトホール内には同一導電型の不純物をドープしたN型ソースポリシリコンプラグ16aを有する。ドレインのコンタクトホール内には反対導電型の不純物をドープしたP型ドレインポリシリコンプラグ17aを有している。このP型ドレインポリシリコンプラグ17aがドレイ

ン拡散領域13とPN接合を形成しているため、ドレイン拡散領域13に印加される電圧は、配線されたAl膜18に供給される電圧よりも低くなる。

次に、第2図aないしdの製造工程図を用いて説明する。

まず、第2図aに示すように、通常のNチャンネルMOSFETと同様に、半導体基板11の上にソース拡散領域12およびドレイン拡散領域13を形成する。ゲート酸化膜14およびゲート電極15をチャンネル領域上に形成する。ソースおよびドレイン上の酸化膜にはコンタクトホールが形成され、このホール内にそれぞれソースポリシリコンプラグ16およびドレインポリシリコンプラグ17を形成する。次に、第2図bに示すように、ドレイン側をマスクして、ソース側ポリシリコンプラグ16のみを露出させてイオン注入によりN型の不純物を注入し、アニールして活性化させて、N型ソースポリシリコンプラグ16aを形成する。ソース拡散領域12とN型ソースポリシリコンプラグ16aとは、同一導電型であるから、オーミックコンタクトを

得ることが出来る。

次に、図2cに示すように、ソース側をマスクして、ドレインポリシリコンプラグ17に、高濃度のP型不純物をイオン注入することによってP型ポリシリコンプラグ17aに変換する。これによって、N型のドレイン拡散領域13とP型ドレインポリシリコンプラグ17aとの間にPN接合が形成される。このとき、ドレイン拡散領域13の濃度を 1×10^{20} ないし $1 \times 10^{21}/\text{cm}^3$ の高濃度範囲とすることによって、半導体基板11とドレイン拡散領域13とP型ドレインポリシリコンプラグ17aとで構成されるトランジスタアクションを抑制することが出来る。

次に、図2dに示すように、N型ソースポリシリコンプラグ16aおよびN型ドレインポリシリコンプラグ17aの上に配線接続のためのAl膜18を形成する。

このような構造を有するMOSFETにおいては、ドレイン側にPN接合が形成されているので、ドレイン拡散領域13に印加される電圧は、供

給される電源電圧よりもPN接合の順方向の障壁電位分だけ低くなり、従ってホットエレクトロン耐性が向上する。

このMOSFETをCMOSの回路に適用した例について第3図を用いて説明する。

NMOS101のドレインにダイオード102が順方向に接続され、ホットエレクトロン耐性を有している。NMOS101の出力Aは、そのLOWレベルのときダイオード102の障壁電位分だけ上昇し、また、出力BはそのHIGHレベルのときにもダイオード102の障壁電位分だけ下がってしまう。そこで、NMOS101の出力を、次段のインバータ104に入力する場合に、出力Aは次段のPMOS105のゲートに、出力Bは次段のNMOS106のゲートに入力するとよい。

以上、説明した実施例において、ソースおよびドレイン拡散領域にP型不純物を用いたPチャネルMOSFETにおいても同様な効果を發揮することが出来る。また、ドレイン拡散構造を採用すればなお好適である。

(発明の効果)

本発明は、MOSFETのドレイン拡散領域とポリシリコンプラグとの間にPN接合を介して電源電圧を印加しているので、ドレイン拡散領域の電圧が、PN接合の順方向バイアス時の障壁電位分だけ低下するのでホットエレクトロン耐性が向上する。

4. 図面の簡単な説明

第1図は本発明のMOSFETの断面図、第2図aないし第2図dは本発明のMOSFETの製造工程図、第3図は本発明のMOSFETを適用した回路図、第4図は従来のMOSFETの断面図である。

- 1、11……半導体基板
- 2、12……ソース拡散領域
- 3、13……ドレイン拡散領域
- 3b……低濃度不純物領域
- 4、14……ゲート酸化膜

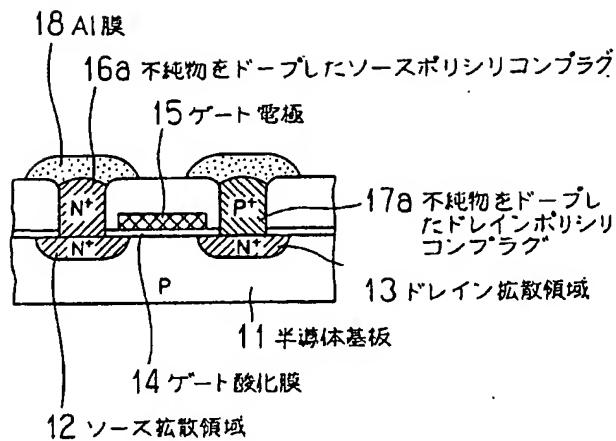
5、15……ゲート電極

- 6、16……ソースポリシリコンプラグ
- 16a……N型ソースポリシリコンプラグ
- 7、17……ドレインポリシリコンプラグ
- 17a……P型ドレインポリシリコンプラグ
- 8、18……Al膜
- 9……窒化シリコン膜

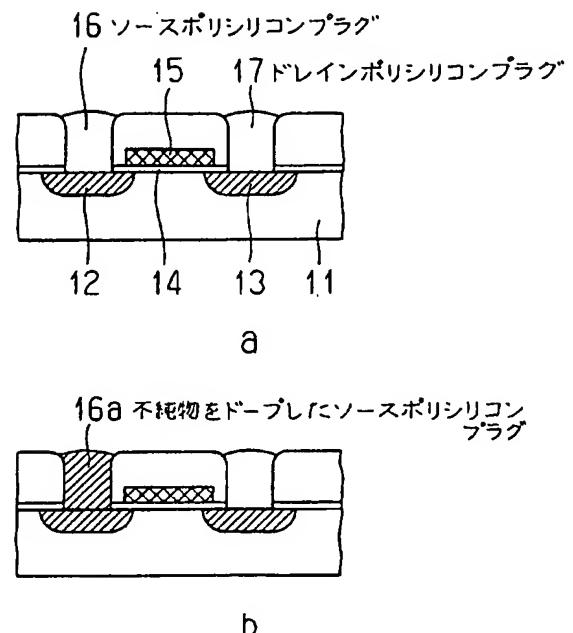
特許出願人 ソニー株式会社

代理人 弁理士 高橋光男

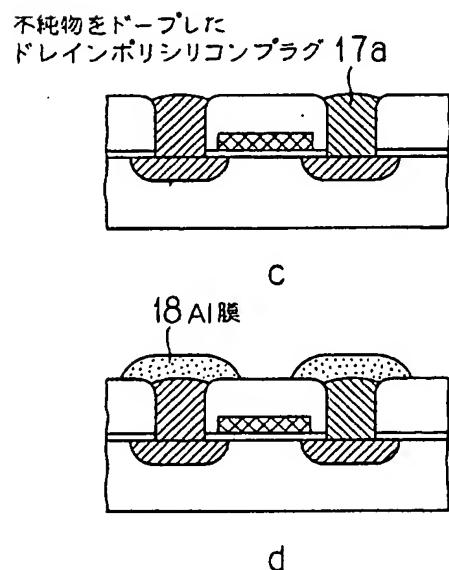
男高井
光男
印



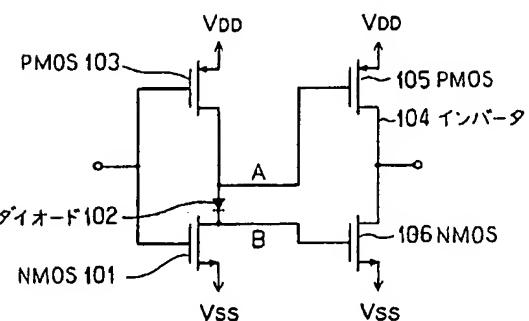
第1図 本発明のMOSFETの断面図



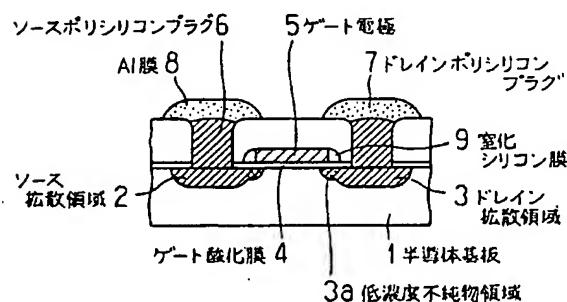
第2図 本発明のMOSFETの製造工程図



第2図 本発明のMOSFETの製造工程図



第3図 本発明のMOSFETを適用した回路図



第4図 従来のMOSFETの断面図